

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 7 月 15 日 (15.07.2004)

PCT

(10) 国際公開番号  
WO 2004/059743 A1

- (51) 国際特許分類<sup>7</sup>: H01L 29/778,  
29/812, 29/201, 21/338, 21/205
- (21) 国際出願番号: PCT/JP2003/016394
- (22) 国際出願日: 2003 年 12 月 19 日 (19.12.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2002-374548  
2002 年 12 月 25 日 (25.12.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友化学  
工業株式会社 (SUMITOMO CHEMICAL COMPANY,  
LIMITED) [JP/JP]; 〒541-8550 大阪府 大阪市 中央区北
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 中野 強  
(NAKANO, Tsuyoshi) [JP/JP]; 〒299-0125 千葉  
県 市原市 有秋台西 1-9-642 Chiba (JP). 福原 昇  
(FUKUHARA, Noboru) [JP/JP]; 〒305-0035 茨城県 つ  
くば市 松代 3-9-10 Ibaraki (JP).
- (74) 代理人: 浅村 皓, 外 (ASAMURA, Kiyoshi et al.); 〒  
100-0004 東京都 千代田区 大手町 2 丁目 2 番 1 号 新大  
手町ビル 331 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,  
BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE,  
DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,

[続葉有]

(54) Title: COMPOUND SEMICONDUCTOR EPITAXIAL SUBSTRATE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 化合物半導体エピタキシャル基板及びその製造方法

i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 39.5nm	13
n-In <sub>0.483</sub> Ga <sub>0.517</sub> P 6nm 4E18/cm <sup>3</sup>	12
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 3nm	11
i-GaAs 5.5nm	10
i-In <sub>0.30</sub> Ga <sub>0.70</sub> As 7.5nm	9
i-GaAs 5.5nm	8
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 3nm	7
n-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 4nm 3E18/cm <sup>3</sup>	6
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 200nm	5
i-GaAs 250nm	4
i-Al <sub>0.25</sub> Ga <sub>0.75</sub> As 250nm	3
i-GaAs 200nm	2
GaAs 基板	1

(57) Abstract: A compound semiconductor epitaxial substrate having a pseudomorphic high-electron-mobility field-effect transistor structure wherein an InGaAs layer serves as a channel layer (9) and an InGaP layer containing n-type impurities serves as a frontside electron supply layer (12) is disclosed. By growing the epitaxial substrate having the pseudomorphic HEMT structure with an increased In proportion in the channel layer (9), the InGaAs layer has an electron mobility at room temperature (300 K) of 8000 cm<sup>2</sup>/V·s or higher. Frontside spacer layers (10, 11) between the channel layer (9) and the frontside electron supply layer (12) may be composed of InGaP layers.

(57) 要約: InGaAs 層をチャネル層 9、n 型不純物を含有する InGaP 層をフロント側電子供給層 12 とする歪チャネル高電子移動度電界効果型トランジスタ構造を有する化合物半導体エピタキシャル基板において、チャネル層 9 の In 組成を大きくしてシュードモフィック HEMT 構造のエピタキシャル基板を成長させることにより InGaAs 層の室温 (300 K) での電子移動度を 8000 cm<sup>2</sup>/V·s 以上とした。チャネル層 9 とフロント側電子供給層 12 との間のフロント側スペーサ層 10 及び 11 を InGaP 層としてもよい。

1...GaAs SUBSTRATE



HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

## 化合物半導体エピタキシャル基板及びその製造方法

## 5 技術分野

本発明は、3－5族化合物半導体を用いた、高電子移動度トランジスタに用いられる化合物半導体エピタキシャル基板及びその製造方法に関する。

## 背景技術

近年、GaAsを中心とする3－5族化合物半導体を用いた電子素子は、超高速であり、高周波動作が可能であるという特長を生かして、飛躍的な発達を遂げ、その後も着実な進展を見せている。化合物半導体を用いた電子素子を作製する場合には、従来、単結晶基板上に、イオン注入法、拡散法又はエピタキシャル成長法などの各種手法を用いて、必要な特性を有する薄膜結晶層を作製している。上記の各種手法の中でも、エピタキシャル成長法は、不純物量の制御のみならず結晶の組成や膜厚などをきわめて広い範囲でかつ精密に制御可能であるため、広く用いられるようになっている。

このような目的で用いられるエピタキシャル成長法としては、液相法、気相法及び真空蒸着法の一つである分子線エピタキシャル成長法（以下MBE法という）などが知られているが、気相法は大量の基板を制御性良く処理可能なため、工業的に広く用いられている。特に、エピタキシャル層を構成する原子種の有機金属化合物又は水素化物を原料として用い、基板上で熱分解させて結晶成長を行う有機金属熱分解法（以下MOCVD法という）は、適用可能な物質の範囲が広く、また結晶の組成、膜厚の精密な制御に適しているために、近年、広く用いられるようになっている。

このような製造技術の発展により、最近、高周波通信機器の重要な構成部品として注目されている高電子移動度電界効果型トランジスタ（以下HEMTという）の特性の改善が種々試みられている。HEMTは、高電子移動度トランジスタ（High Electron Mobility Transistor）、変調ドープ電界効果トランジスタ（Modulation Doped Field Effect Transistor, MODFET）、又はヘテロ接合電界

効果トランジスタ (Hetero-Junction Field Effect Transistor, HJFET) などとも呼ばれており、HEMTに用いられているエピタキシャル構造にあつては、電子を供給する電子供給層と電子が走行するチャネル層とが分離されてそれぞれの役割を担っており、チャネル層に蓄積された二次元電子ガスが高い電子移動度を  
5 持っている点に大きな特徴を有している。HEMTを製造するために用いられるエピタキシャル基板は、MOCVD法により、必要な電子特性を有するGaAs、AlGaAsの各結晶層を必要な構造を有するようにGaAs基板上に積層成長させることにより作製することができる。

これらの素子作製に用いる材料としては、任意の組成で格子定数を一致させる  
10 ことができ、良好な結晶性を保ちつつ各種ヘテロ接合が可能であるとの理由から、GaAs、AlGaAs系の材料が広く用いられてきているが、格子定数をGaAsに一致させるようにIn組成を選択することにより、InGaPの結晶層を成長させることも可能である。ここで、GaAsに格子整合するInGaPは、Inの組成が0.482~0.483、Gaの組成が0.518~0.517で  
15 あることが知られている。

また、3-5族化合物半導体材料としては、 $\text{In}_x\text{Ga}_{(1-x)}\text{As}$  (ただし  $0 < x < 1$ ) が、電子輸送特性に優れている上にIn組成に応じてエネルギーギャップを大幅に変えることが可能であるため、HEMTを製造する場合のヘテロ接合材料としては非常に好適である。しかしながら、 $\text{In}_x\text{Ga}_{(1-x)}\text{As}$  は、  
20 GaAsに対する格子整合が不可能であるため、従来は、 $\text{In}_x\text{Ga}_{(1-x)}\text{As}$ 層を用いて十分な物性を有するHEMT用のエピタキシャル基板を得ることができなかった。

その後の技術の進展により、格子不整合の系であっても弾性変形の限界内であれば転位の発生などの不都合な結晶性の低下を招くことなく、信頼性のあるヘテ  
25 ロ接合が形成可能であることがわかり、 $\text{In}_x\text{Ga}_{(1-x)}\text{As}$ をヘテロ接合材料として用いたエピタキシャル基板の実用化が図られてきている。このような格子不整合系での限界値は、組成及び膜厚の関数として与えられ、例えばGaAs層に対するInGaAs層の系では、J. Crystal Growth, 27 (1974) p. 118及びJ. Crystal Growth, 32 (197

4) p. 265に示される式で表されることが理論的に知られており、この理論式は実験的にも概ね正しいことがわかっている。

このように特定の組成、膜厚の範囲内の歪み層を利用することにより、GaAs基板を用いるHEMT構造のエピタキシャル基板においても、InGaAs層をその一部に有するエピタキシャル基板の製造が可能となっている。例えば、通常の結晶成長条件下では、 $x = 0.20$ 、膜厚13nm程度の $In_x Ga_{(1-x)} As$ 層を、結晶性の低下をきたすことなくエピタキシャル成長させることが可能であり、このような $In_x Ga_{(1-x)} As$ 層を、従来のHEMTの二次元電子の流れるチャネル層部分に用いた構造のエピタキシャル基板を利用して、従来に比べ移動度が高く、雑音特性に優れた電子素子が作製されている。

$In_x Ga_{(1-x)} As$ を歪み層として二次元電子の流れるチャネル層部分に用いたHEMTは、歪みチャネル高電子移動度電界効果型トランジスター(pseudomorphic-HEMT)と呼ばれている(以下、シュードモフィックHEMTという)。

また、上述のように、InGaPは、Inの組成を選択すれば、GaAsに格子整合が可能であるため、シュードモフィックHEMTにおいて、AlGaAs層の代わりに、InGaP層をその電子供給層、スペーサ層としてエピタキシャル成長させることが可能である。InGaPは、AlGaAsに比べて、エピタキシャル成長時に不純物を取り込みにくく結晶純度を良好に保つことができ、また、AlGaAsのようにn型層を形成する際にシリコンをドーピングするとDXセンターと呼ばれる深い準位を形成することもないという利点があるので、高性能のHEMTを得ることができる。また、InGaPは、AlGaAsにくらべて、エネルギーギャップが大きく、表面準位値が小さいため、電子素子作製時に有利であるという報告もある。

GaAs基板上に、InGaP層、InGaAs歪み層を含むシュードモフィックHEMT構造を形成するために各種のエピタキシャル成長を行う際には、形成すべき薄膜結晶層の膜厚を数nmオーダーで精密に制御するための結晶成長制御が要求されるが、近年の技術改良の結果、膜厚制御性に優れるMBE法だけでなく、量産性に優れるMOCVD法でも膜厚制御を精度良く行うことができるの

で、十分、良好な特性のHEMT用エピタキシャル基板が得られている。

上述のように、InGaP層をシュードモフィックHEMT構造の電子供給層又は電子供給層とスペーサ層とに用いる場合、温度特性の向上等、電子素子の特性向上を図ることはできるものの、電子供給層から発生する二次元電子をInGaAsチャンネル層に効率良く閉じ込めることは困難であることがわかっている。

5 a Asチャンネル層に効率良く閉じ込めることは困難であることがわかっている。そのため、二次元電子ガス濃度を増やして電子素子の電流値の向上を図ることや、電子移動度を上げて電子素子の立ち上がり抵抗を低減させることが困難であった。

その理由は、InGaPのエネルギーバンドプロファイルが、AlGaAsと異なること、すなわちGaAsとInGaPとの間には、エネルギーバンドの伝導帯の位置に差がないからであると考えられている。伝導帯の位置に差がなければ、電子供給層で発生した電子が効率よくInGaAsチャンネル層に閉じ込められず、二次元電子ガス濃度及び電子移動度の低下を引き起こすことになるからである。この防止対策として、第3224437号特許公報には、チャンネル層とInGaP電子供給層との間に、歪みInGaPスペーサ層を挿入して、伝導帯の

10 位置に差を付けることにより、二次元電子ガス濃度と電子移動度とを改善するようにした構成が開示されている。また、第2994863号特許公報には、チャンネル層とInGaP電子供給層との間にAlGaAsスペーサ層を挿入することにより、二次元電子ガス濃度と電子移動度とを改善するようにした構成が開示されている。

20 しかしながら、チャンネル層にInGaAs層を用い、電子供給層にn-AlGaAs層を用い、チャンネル層と電子供給層との間のスペーサ層としてi-AlGaAs層を用いた、従来のAlGaAs系のシュードモフィックHEMT構造エピタキシャル基板で報告されている結果に比べて、上述した、第3224437号特許公報及び第2994863号特許公報において開示されている構成のものは、いずれも、シュードモフィックHEMT構造エピタキシャル基板において、

25 は、いずれも、シュードモフィックHEMT構造エピタキシャル基板において、二次元電子ガス濃度と電子移動度との各値を高くすることにより、電子素子の特性を良好にできるという観点から考えると、電子移動度はまだ満足できる値に達していない。

例えば、電子移動度を更に改善することによりオン抵抗を低下させ、これによ

り消費電力の低減を図ることができるので、シュードモフィックHEMT構造エ  
ピタキシャル基板を携帯電話等の各種携帯機器に用いる場合には、より一層の改  
善が望まれている。また、低消費電力化により発熱量を削減することができ、更  
なる高集積化により装置の小型化を図ることができるので、この観点からも電子  
5 移動度のより一層の改善が望まれている。このように、InGaPを電子供給層、  
又は電子供給層とスペーサ層とに用いたシュードモフィックHEMT構造エピタ  
キシャル基板において、現在報告されている値よりも高い二次元電子ガス濃度と  
高い電子移動度を併せ持つ、さらに改善されたエピタキシャル基板が強く望まれ  
ている。

#### 10 発明の開示

本発明の目的は、上述の各種要求を満たすことができる、高電子移動度特性を  
有するシュードモフィックHEMTに用いられる化合物半導体エピタキシャル基  
板及びその製造方法を提供することにある。

本発明者らは、上記課題を解決するために鋭意検討を行った結果、InGaAs  
15 sチャンネル層のIn組成を大きくしてシュードモフィックHEMT構造のエピタ  
キシャル基板を形成すれば、InGaAs層及びInGaP層の各エネルギーバ  
ンドの伝導帯の位置に差を付けることができ、これまでに報告されたこのとな  
い高い電子移動度と高い二次元電子ガス濃度を併せ持つエピタキシャル基板を形  
成できることを見出し、この知見に基づいて本発明をなすに至った。

20 本発明の第一の態様によれば、InGaAs層をチャンネル層とし、及びn型不  
純物を含有するInGaP層をフロント側電子供給層として含み、歪チャンネル高  
電子移動度電界効果型トランジスタに用いられる化合物半導体エピタキシャル基  
板において、該InGaAs層の室温(300K)での電子移動度が8000  
 $\text{cm}^2/\text{V} \cdot \text{s}$ 以上である上記化合物半導体エピタキシャル基板が提案される。

25 前記チャンネル層において、室温(300K)での二次元電子ガス濃度を、 $1.8$   
 $0 \times 10^{12}/\text{cm}^2$ 以上とすることができる。

本発明の第二の態様によれば、更に前記チャンネル層と前記フロント側電子供給  
層との間にフロント側スペーサ層としてInGaP層を含む、上記第一の態様の  
化合物半導体エピタキシャル基板が提案される。前記チャンネル層において、室温

(300 K)での二次元電子ガス濃度を、 $1.80 \times 10^{12} / \text{cm}^2$ 以上とすることができる。

本発明の第三の態様によれば、更にn型不純物を含有するInGaP層をバック側電子供給層としても含み、かつ前記チャネル層と該バック側電子供給層との間にバック側スペーサ層としてInGaP層を含む、上記第二の態様の化合物半導体エピタキシャル基板が提案される。前記チャネル層において、室温(300 K)での二次元電子ガス濃度を、 $1.80 \times 10^{12} / \text{cm}^2$ 以上とすることができる。

本発明の第四の態様によれば、上記第一、第二又は第三の態様において、前記チャネル層を構成するInGaAs層のIn組成が0.25以上である化合物半導体エピタキシャル基板が提案される。

本発明の第五の態様によれば、上記第一、第二又は第三の態様において、前記チャネル層の上下に接して、膜厚が4 nm以上のGaAs層が積層されている化合物半導体エピタキシャル基板が提案される。

本発明の第六の態様によれば、各化合物半導体のエピタキシャル層をMOCVD法を用いて形成することを特徴とする上記第一、第二、第三、第四又は第五の態様の化合物半導体エピタキシャル基板の製造方法が提案される。

#### 図面の簡単な説明

図1は本発明の実施例1に係るエピタキシャル基板の層構造図である。

図2は本発明の実施例2に係るエピタキシャル基板の層構造図である。

図3は本発明の実施例3に係るエピタキシャル基板の層構造図である。

図4は本発明の比較例1に係るエピタキシャル基板の層構造図である。

図5は本発明の比較例2に係るエピタキシャル基板の層構造図である。

図6は本発明の比較例3に係るエピタキシャル基板の層構造図である。

#### 25 発明を実施するための形態

以下、図面を参照して本発明の一実施例につき詳細に説明する。ここで、実施例として示されているエピタキシャル基板の層構造は、エピタキシャル基板特性を測定するための構造であるが、実際のシュードモフィックHEMT用エピタキシャル基板の層構造では、n-GaAs層、n-AlGaAs層などの層が更に



積層された構造となる。しかし、そのような実際のシュードモフィックHEMT用エピタキシャル基板の場合であっても、以下に説明する実施例についての特性と同じ特性を有することとなるのは明らかである。

#### 実施例 1

5 図1は、本発明によるHEMT構造エピタキシャル基板の実施例1の断面構造を説明するための図である。図1において、1は結晶基板であるGaAs層、2～5はいずれもGaAs層1上に形成されたバッファ層である。ここでは、バッファ層2～5は、それぞれ200nm厚のi-GaAs層、250nm厚のi-Al<sub>0.25</sub>Ga<sub>0.75</sub>As層、250nm厚のi-GaAs層、及び200nm厚のi-Al<sub>0.20</sub>Ga<sub>0.80</sub>As層として形成されている。

6は、4nm厚のn-Al<sub>0.20</sub>Ga<sub>0.80</sub>As層として形成され、n型不純物を $3 \times 10^{18} / \text{cm}^3$ ドープしたバック側電子供給層である。バック側電子供給層6の上には、バック側スペーサ層7及び8がこの順序で形成されている。ここでは、バック側スペーサ層7は3nm厚のi-Al<sub>0.20</sub>Ga<sub>0.80</sub>As層、バック側スペーサ層8は5.5nm厚のi-GaAs層となっている。9は15 二次元電子を流すため二次元電子ガスが形成されるチャネル層であり、7.5nm厚のi-In<sub>0.30</sub>Ga<sub>0.70</sub>As層となっている。

10及び11はそれぞれがフロント側スペーサ層である。フロント側スペーサ層10は5.5nm厚のi-GaAs層として形成されており、フロント側スペーサ層11は3nm厚のi-Al<sub>0.20</sub>Ga<sub>0.80</sub>As層として形成されている。20

12はフロント側電子供給層で、6nm厚のn-In<sub>0.483</sub>Ga<sub>0.517</sub>P層として形成され、n型不純物が $4 \times 10^{18} / \text{cm}^3$ の濃度にドープされている。13はアンドープ層で、39.5nm厚のi-Al<sub>0.20</sub>Ga<sub>0.80</sub>As層として形成されている。25

次に、図1に示す層構造のエピタキシャル基板の製造方法について説明する。初めに、高抵抗の半絶縁性GaAs単結晶基板の表面を、脱脂洗浄、エッチング、水洗、乾燥した後、この単結晶基板を結晶成長炉の加熱台上にGaAs基板1として載置する。

GaAs 基板 1 上に形成すべき AlGaAs 層、InGaAs 層、InGaP 層等は、次のようにして MOCVD 法により気相成長させる。炉内を十分に高純度水素で置換した後、加熱を開始し、炉内が適度な温度で安定したところで炉内に砒素原料を導入し、続いてガリウム原料を導入し、GaAs 層を成長させる。

- 5 また、AlGaAs 層を成長させる際にはアルミニウム原料を、InGaAs 層を成長させる際にはインジウム原料も導入する。また、InGaP 層を成長させる際にはリン原料に切り替えて成長を行う。所定の時間と、各原料の供給を制御することにより、所望の積層構造を成長させていく。最後に、各原料の供給を停止して結晶成長を停止し、冷却後、以上のように積層したエピタキシャル基板を
- 10 炉内から取り出して結晶成長を完了する。結晶成長時の基板温度は、通常、およそ 500℃ から 800℃ である。

本発明における高抵抗の半絶縁性 GaAs 単結晶基板は、LEC (Liquid Encapsulated Czochralski) 法、VB (Vertical Bridgeman) 法、VGF

- (Vertical Gradient Freezing) 法等で製造された GaAs 基板を用いることができ、1つの結晶学的面方位から、0.05°乃至10°程度の傾きをもった基板
- 15 を用いることができる。

- エピタキシャル成長時の原料として、有機金属化合物及び／又は水素化物を用いることが好ましい。砒素原料としては、一般に三水素化砒素（アルシン）が用いられるが、アルシンの水素を炭素数が1から4のアルキル基で置換したアルキルアルシンも使用することができる。リン原料としては、一般に三水素化リン
- 20 （ホスフィン）が用いられるが、ホスフィンの水素を炭素数が1から4のアルキル基で置換したアルキルホスフィンも使用することができる。ガリウム、アルミニウム、及びインジウムの原料としては、各金属原子に炭素数が1から3のアルキル基又は水素が結合したトリアルキル化物又は三水素化物を、一般に用いるこ
- 25 とができる。

n型ドーパントとしては、シリコン、ゲルマニウム、スズ、硫黄、セレン等の水素化物又は炭素数が1から3のアルキル基を有するアルキル化物を用いることができる。

図1に示すエピタキシャル基板は、具体的には、以下に述べるようにして製造

された。しかし、本発明はこの一例に限定される趣旨ではない。

減圧バレル型MOCVD炉を用い、図1に示す積層構造を、VGF法半絶縁性GaAs基板上にエピタキシャル成長させた。3族元素の原料としては、トリメチルガリウム(TMG)、トリメチルアルミニウム(TMA)及びトリメチルインジウム(TMI)を用い、5族元素の原料としては、アルシン( $\text{AsH}_3$ )及びホスフィン( $\text{PH}_3$ )を用いた。n型ドーパントとしては、ジシラン

( $\text{Si}_2\text{H}_6$ )を用いた。原料のキャリアガスとしては、高純度水素を用い、反応炉内圧力0.1 atm、成長温度650℃、成長速度3~1  $\mu\text{m/hr}$ の成長条件でエピタキシャル成長を行った。

- 10 積層構造中のInGaP層は、GaAs層及びAlGaAs層に格子整合する条件で、In組成を調整し、エピタキシャル成長させた。実施例1においては、InGaP層のIn組成は、0.483とした。また、実施例1の構造では、InGaP層を、フロント側の電子供給層のみに用いてエピタキシャル成長させた。

- 15 電子を走行させるためのチャネル層9には、In組成0.30、膜厚7.5 nmの歪みInGaAs層を用いて、エピタキシャル成長させた。

チャネル層9に用いたInGaAs層の上下に接して、フロント側スペーサ層10及びバック側スペーサ層8として働くi-GaAs層を、それぞれ5.5 nm厚にしてエピタキシャル成長させた。

- 20 上記のようにエピタキシャル成長により作製した図1の実施例1の積層構造において、Van der Pauw法によるホール測定を行った結果、チャネル層9において、室温(300K)での二次元電子ガス濃度が $1.81 \times 10^{12} / \text{cm}^2$ 、室温(300K)での電子移動度が $8360 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、77Kでの二次元電子ガス濃度が $2.13 \times 10^{12} / \text{cm}^2$ 、77Kでの電子移動度が $33900 \text{ cm}^2 / \text{V} \cdot \text{s}$ と、これまでにない良好な値を得た。また、このとき
- 25 の構造において、Alショットキー電極を用いたCV測定を行った結果、残留キャリア濃度が $1 \times 10^{15} / \text{cm}^3$ となるときのピンチオフ電圧は-1.74Vであった。

図1に示すエピタキシャル基板は上記のように形成されているので、バック側電子供給層6からバック側スペーサ層7及び8を介してチャネル層9へ電子が

供給されると共に、フロント側電子供給層 12 からフロント側スペーサ層 11 及び 10 を介してチャネル層 9 へ電子が供給される。その結果、チャネル層 9 には、高移動度の二次元電子ガスがフロント側とバック側とにそれぞれ形成される。ここで、チャネル層 9 は、In 組成を 0.25 以上である 0.3 として成長させたので、チャネル層 9 とフロント側電子供給層 12 との各エネルギーバンドの伝導体の位置に差を付けることができ、チャネル層 9 内における二次元電子ガス濃度を高めることができる上に、二次元電子ガスの電子の二次元移動度を従来に比べて格段に向上させることができる。これまでの実験検討の結果、In 組成を 0.25 以上とすることにより、これまで報告されている n-InGaP 電子供給層 HEMT 構造の二次電子移動度を上回る値が得られることがわかった。

実際、図 1 に示すエピタキシャル基板は、チャネル層 9 における In の組成を 0.25 以上とすることにより、二次元電子ガスの濃度を高めると共にチャネル層 9 内での電子の移動度を  $8000 \text{ cm}^2/\text{V} \cdot \text{s}$  以上とすることができた。

また、種々の実験の結果、図 1 に示す構成で、チャネル層の上下に接するバック側スペーサ層 8 及びフロント側スペーサ層 10 の GaAs 層の膜厚が 4 nm 以上であれば、チャネル層 9 における電子の移動度を室温 (300 K) で  $8000 \text{ cm}^2/\text{V} \cdot \text{s}$  とすることができることを確認した。

このように、チャネル層 9 での電子移動度を改善するための主要因はチャネル層 9 における In 組成とその膜厚であると考えられるが、基板を VGF 基板又は VB 基板とすることにより電子移動度をより改善することも見出した。

## 実施例 2

図 2 に示す層構造のエピタキシャル基板を実施例 1 の場合と同様に、MOCVD 法により作製した。図 2 に示すエピタキシャル基板において、21 は半絶縁性 GaAs 基板、22～25 はバッファ層、26 はバック側電子供給層、27～28 はバック側スペーサ層、29 はチャネル層、30～31 はフロント側スペーサ層、32 はフロント側電子供給層、及び 33 はアンドープ AlGaAs 層である。なお、各層の組成及び膜厚は図 2 中に示す通りである。

図 1 と図 2 とを比較して判るように、実施例 2 では、フロント側スペーサ層 3

1をIn組成0.483、膜厚3nmのi-InGaP層として形成した点で実施例1と異なっている。その他の各層の形成については実施例1の場合と同様である。

このようにして得られたエピタキシャル基板について、Van der Pauw法によるホール測定を行った結果、室温(300K)での二次元電子ガス濃度が $1.89 \times 10^{12} / \text{cm}^2$ 、チャネル層29において、室温(300K)での電子移動度が $8630 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、77Kでの二次元電子ガス濃度が $2.16 \times 10^{12} / \text{cm}^2$ 、77Kでの電子移動度が $32000 \text{ cm}^2 / \text{V} \cdot \text{s}$ と、これまでにない良好な値を得た。また、上述の構造において、Alショットキー電極を用いたCV測定を行った結果、残留キャリア濃度が $1 \times 10^{15} / \text{cm}^3$ となるときのピンチオフ電圧は、 $-1.80 \text{ V}$ であった。

### 実施例3

図3に示す層構造のエピタキシャル基板を実施例1の場合と同様に、MOCVD法により作製した。図3に示すエピタキシャル基板において、41は半絶縁性GaAs基板、42～45はバッファ層、46はバック側電子供給層、47～48はバック側スペーサ層、49はチャネル層、50～51はフロント側スペーサ層、52はフロント側電子供給層、及び53はアンドープAlGaAs層である。なお、各層の組成及び膜厚は図2中に示す通りである。

図1と図3とを比較して判るように、実施例3では、フロント側スペーサ層51及びバック側スペーサ層47及びバック側電子供給層46を、それぞれIn組成0.483、膜厚3nmのInGaP層として形成した点で実施例1と異なっている。その他の各層の形成については実施例1の場合と同様である。

このようにして得られたエピタキシャル基板について、Van der Pauw法によるホール測定を行った結果、チャネル層49において、室温(300K)での二次元電子ガス濃度が $1.89 \times 10^{12} / \text{cm}^2$ 、室温(300K)での電子移動度が $8010 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、77Kでの二次元電子ガス濃度が $2.12 \times 10^{12} / \text{cm}^2$ 、77Kでの電子移動度が $34200 \text{ cm}^2 / \text{V} \cdot \text{s}$ と、これまでにない良好な値を得た。また、上述の構造において、Alショットキー電極を用いたCV測定を行った結果、残留キャリア濃度が $1 \times 10^{15} /$

$\text{cm}^3$  となるときのピンチオフ電圧は、 $-2.20\text{V}$ であった。

#### 比較例 1

図 1 に示す実施例 1 のシュードモフィック HEMT 構造エピタキシャル基板において、チャンネル層 9 に用いられる  $\text{InGaAs}$  層の  $\text{In}$  組成及びその膜厚と、  
5 チャンネル層 9 の上下に積層される  $\text{i-GaAs}$  層 10 及び 8 の膜厚だけを変えた  
図 4 に示す構造のエピタキシャル基板を、比較例 1 として、実施例 1 と同様に MOCVD 法を用いて作製した。図 4 に示すエピタキシャル基板において、61 は半絶縁性  $\text{GaAs}$  基板、62～65 はバッファ層、66 はバック側電子供給層、  
67～68 はバック側スペーサ層、69 はチャンネル層、70、71 はフロント側  
10 スペーサ層、72 はフロント側電子供給層及び 73 はアンドープ  $\text{AlGaAs}$  層である。なお、各層の組成及び膜厚は図 4 中に示す通りである。

図 4 の比較例 1 では、チャンネル層 69 の  $\text{InGaAs}$  層の  $\text{In}$  組成を 0.19、膜厚を  $14.0\text{nm}$  とし、チャンネル層 69 の上下には、バック側スペーサ層 68 及びフロント側スペーサ層 70 を  $\text{i-GaAs}$  層として各  $2.0\text{nm}$  ずつ、エピ  
15 タキシャル成長させた。この比較例 1 の構造は、従来からよく知られたシュードモフィック HEMT 構造である。この比較例 1 は、実施例 1 の成長条件と同様の条件で各層をエピタキシャル成長させて作製した。

比較例 1 のエピタキシャル基板について、Van Der Pauw 法によるホール測定を行った結果、チャンネル層 69 において、室温 ( $300\text{K}$ ) での二次元電子ガス濃度  $1.77\text{E}12/\text{cm}^2$ 、室温 ( $300\text{K}$ ) での電子移動度  $7100\text{cm}^2/\text{V}\cdot\text{s}$ 、  
20  $77\text{K}$  での二次元電子ガス濃度  $2.06\text{E}12/\text{cm}^2$ 、 $77\text{K}$  での電子移動度  $22500\text{cm}^2/\text{V}\cdot\text{s}$  と、従来から報告されている程度の値しか得られなかった。また、このときの構造において、Al ショットキー電極を用いた CV 測定を行った結果、残留キャリア濃度が  $1\text{E}15\text{cm}^3$  となる  
25 ときのピンチオフ電圧は、 $-1.72\text{V}$  であった。

#### 比較例 2

図 2 に示す実施例 2 のシュードモフィック HEMT 構造エピタキシャル基板において、チャンネル層 29 に用いられる  $\text{InGaAs}$  層の  $\text{In}$  組成及びその膜厚と、  
チャンネル層 29 の上下に積層される  $\text{i-GaAs}$  層 28 及び 30 の膜厚だけを変

えた図5に示す構造のエピタキシャル基板を、比較例2として、実施例2と同様にMOCVD法を用いて作製した。図5に示すエピタキシャル基板において、81は半絶縁性GaAs基板、82～85はバッファ層、86はバック側電子供給層、87～88はバック側スペーサ層、89はチャネル層、90及び91はフロント側スペーサ層、92はフロント側電子供給層及び93はアンドープAlGaAs層である。なお、各層の組成及び膜厚は図5中に示す通りである。

図5の比較例2では、チャネル層89のInGaAs層のIn組成を0.19、膜厚を14.0nmとし、チャネル層89の上下には、バック側スペーサ層88及びフロント側スペーサ層90をi-GaAs層として各2.0nmずつ、エピタキシャル成長させた。この比較例2は、実施例2の成長条件と同様の条件で各層をエピタキシャル成長させて作製した。

比較例1のエピタキシャル基板について、Van der Pauw法によるホール測定を行った結果、室温(300K)での二次元電子ガス濃度 $1.85 \times 10^{12} / \text{cm}^2$ 、室温(300K)での電子移動度 $7030 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、77Kでの二次元電子ガス濃度 $2.19 \times 10^{12} / \text{cm}^2$ 、77Kでの電子移動度 $20800 \text{ cm}^2 / \text{V} \cdot \text{s}$ と、従来から報告されている程度の値しか得られなかった。また、このときの構造において、Alショットキー電極を用いたCV測定を行った結果、残留キャリア濃度が $1 \times 10^{15} \text{ cm}^{-3}$ となるときのピンチオフ電圧は、-1.80Vであった。

## 20 比較例3

図3に示す実施例3のシュードモフィックHEMT構造エピタキシャル基板において、チャネル層49に用いられるInGaAs層のIn組成及びその膜厚と、チャネル層49の上下に積層されるi-GaAs層48及び50の膜厚だけを変えた図6に示す構造のエピタキシャル基板を、比較例3として、実施例3と同様にMOCVD法を用いて作製した。図6に示すエピタキシャル基板において、101は半絶縁性GaAs基板、102～105はバッファ層、106はバック側電子供給層、107～108はバック側スペーサ層、109はチャネル層、110及び111はフロント側スペーサ層、112はフロント側電子供給層、113はアンドープAlGaAs層である。なお、各層の組成及び膜厚は図6中に示す

通りである。

図6の比較例3では、チャネル層109のInGaAs層のIn組成を0.19、膜厚を14.0nmとし、チャネル層109の上下には、バック側スペーサ層108及びフロント側スペーサ層110をi-GaAs層として各2.0nm  
5 ずつ、エピタキシャル成長させた。この比較例3は、実施例3の成長条件と同様の条件で各層をエピタキシャル成長させて作製した。

比較例3のエピタキシャル基板について、Van der Pauw法によるホール測定を行った結果、チャネル層109において、室温(300K)での二次元電子ガス濃度が $1.99 \times 10^{12} / \text{cm}^2$ 、室温(300K)での電子移動度  
10 が $5620 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、77Kでの二次元電子ガス濃度が $2.16 \times 10^{12} / \text{cm}^2$ 、77Kでの電子移動度が $13900 \text{ cm}^2 / \text{V} \cdot \text{s}$ と、低い値しか得られなかった。また、このときの構造において、Alショットキー電極を用いたC  
V測定を行った結果、残留キャリア濃度が $1 \times 10^{15} \text{ cm}^{-3}$ となるときのピンチオフ電圧は、-2.19Vであった。

15 このように、電子移動度と密接に相關する電子速度に支配される数十GHz以上の超高周波帯の各種高速デバイスにも、電子素子作製時に有利なInGaP電  
子供給層やInGaPスペーサ層を用いたGaAs基板上シュードモフィックHEMTを用いる可能性を拓いたという点で、本発明はHEMTの応用上において  
も、多大なるメリットをもたらすものである。

## 20 産業上の利用可能性

本発明によれば、上述の如く、電子素子作製時にも有利となるような、これまでに報告されたことのない良好な特性を有するシュードモフィック(歪チャネル高電子移動度電界効果型トランジスター)構造エピタキシャル基板を提供することができる。



## 請 求 の 範 囲

1. InGaAs層をチャンネル層とし、及びn型不純物を含有するInGaP層をフロント側電子供給層として含み、歪チャンネル高電子移動度電界効果型トランジスタに用いられる化合物半導体エピタキシャル基板において、

該InGaAs層の室温（300K）での電子移動度が $8000\text{ cm}^2/\text{V}\cdot\text{s}$ 以上である上記化合物半導体エピタキシャル基板。

2. 更に前記チャンネル層と前記フロント側電子供給層との間にフロント側スペーサ層としてInGaP層を含む、請求項1記載の化合物半導体エピタキシャル基板。

3. 更にn型不純物を含有するInGaP層をバック側電子供給層としても含み、かつ前記チャンネル層と該バック側電子供給層との間にバック側スペーサ層としてInGaP層を含む、請求項2記載の化合物半導体エピタキシャル基板。

4. 前記チャンネル層を構成するInGaAs層のIn組成が0.25以上である請求項1、2又は3記載の化合物半導体エピタキシャル基板。

5. 前記チャンネル層の上下に接して、膜厚が4nm以上のGaAs層が積層されている請求項1、2又は3記載の化合物半導体エピタキシャル基板。

6. 各化合物半導体のエピタキシャル層をMOCVD法を用いて形成することを特徴とする請求項1、2又は3記載の化合物半導体エピタキシャル基板の製造方法。

7. 各化合物半導体のエピタキシャル層をMOCVD法を用いて形成することを特徴とする請求項4記載の化合物半導体エピタキシャル基板の製造方法。

8. 各化合物半導体のエピタキシャル層をMOCVD法を用いて形成することを特徴とする請求項5記載の化合物半導体エピタキシャル基板の製造方法。

1/6

FIG.1

i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 39.5nm	13
n-In <sub>0.483</sub> Ga <sub>0.517</sub> P 6nm 4E18/cm <sup>3</sup>	12
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 3nm	11
i-GaAs 5.5nm	10
i-In <sub>0.30</sub> Ga <sub>0.70</sub> As 7.5nm	9
i-GaAs 5.5nm	8
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 3nm	7
n-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 4nm 3E18/cm <sup>3</sup>	6
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 200nm	5
i-GaAs 250nm	4
i-Al <sub>0.25</sub> Ga <sub>0.75</sub> As 250nm	3
i-GaAs 200nm	2
GaAs 基板	1

FIG.2

i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 39.5nm	33
n-In <sub>0.483</sub> Ga <sub>0.517</sub> P 6nm 4E18/cm <sup>3</sup>	32
i-In <sub>0.483</sub> Ga <sub>0.517</sub> P 3nm	31
i-GaAs 5.5nm	30
i-In <sub>0.30</sub> Ga <sub>0.70</sub> As 7.5nm	29
i-GaAs 5.5nm	28
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 3nm	27
n-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 4nm 3E18/cm <sup>3</sup>	26
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 200nm	25
i-GaAs 250nm	24
i-Al <sub>0.25</sub> Ga <sub>0.75</sub> As 250nm	23
i-GaAs 200nm	22
GaAs 基板	21

3/6

FIG.3

i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As	39.5nm	53
n-In <sub>0.483</sub> Ga <sub>0.517</sub> P	6nm 4E18/cm <sup>3</sup>	52
i-In <sub>0.483</sub> Ga <sub>0.517</sub> P	3nm	51
i-GaAs	5.5nm	50
i-In <sub>0.30</sub> Ga <sub>0.70</sub> As	7.5nm	49
i-GaAs	5.5nm	48
i-In <sub>0.483</sub> Ga <sub>0.517</sub> P	3nm	47
n-In <sub>0.483</sub> Ga <sub>0.517</sub> P	4nm 3E18/cm <sup>3</sup>	46
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As	200nm	45
i-GaAs	250nm	44
i-Al <sub>0.25</sub> Ga <sub>0.75</sub> As	250nm	43
i-GaAs	200nm	42
GaAs	基板	41

4/6

FIG.4

i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 39.5nm	73
n-In <sub>0.483</sub> Ga <sub>0.517</sub> P 6nm 4E18/cm <sup>3</sup>	72
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 3nm	71
i-GaAs 2nm	70
i-In <sub>0.19</sub> Ga <sub>0.81</sub> As 14nm	69
i-GaAs 2nm	68
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 3nm	67
n-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 4nm 3E18/cm <sup>3</sup>	66
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 200nm	65
i-GaAs 250nm	64
i-Al <sub>0.25</sub> Ga <sub>0.75</sub> As 250nm	63
i-GaAs 200nm	62
GaAs 基板	61

5/6

FIG.5

i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 39.5nm	93
n-In <sub>0.483</sub> Ga <sub>0.517</sub> P 6nm 4E18/cm <sup>3</sup>	92
i-In <sub>0.483</sub> Ga <sub>0.517</sub> P 3nm	91
i-GaAs 2nm	90
i-In <sub>0.19</sub> Ga <sub>0.81</sub> As 14nm	89
i-GaAs 2nm	88
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 3nm	87
n-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 4nm 3E18/cm <sup>3</sup>	86
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As 200nm	85
i-GaAs 250nm	84
i-Al <sub>0.25</sub> Ga <sub>0.75</sub> As 250nm	83
i-GaAs 200nm	82
GaAs 基板	81

6/6

FIG.6

i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As	39.5nm	113
n-In <sub>0.483</sub> Ga <sub>0.517</sub> P	6nm 4E18/cm <sup>3</sup>	112
i-In <sub>0.483</sub> Ga <sub>0.517</sub> P	3nm	111
i-GaAs	2nm	110
i-In <sub>0.19</sub> Ga <sub>0.81</sub> As	14nm	109
i-GaAs	2nm	108
i-In <sub>0.483</sub> Ga <sub>0.517</sub> P	3nm	107
n-In <sub>0.483</sub> Ga <sub>0.517</sub> P	4nm 3E18/cm <sup>3</sup>	106
i-Al <sub>0.20</sub> Ga <sub>0.80</sub> As	200nm	105
i-GaAs	250nm	104
i-Al <sub>0.25</sub> Ga <sub>0.75</sub> As	250nm	103
i-GaAs	200nm	102
GaAs	基板	101

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP03/16394

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L29/778, H01L29/812, H01L29/201, H01L21/338, H01L21/205

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L29/778-29/812, H01L29/201-29/205, H01L21/338,  
H01L21/20-21/205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
Web of Science

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 9-64062 A (NEC Corp.), 07 March, 1997 (07.03.97), Full text; Figs. 1 to 3 (Family: none)	1-4, 6, 7 5, 8
Y	JP 6-163599 A (NEC Corp.), 10 June, 1994 (10.06.94), Full text; Figs. 1 to 3 (Family: none)	5, 8

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
15 March, 2004 (15.03.04)

Date of mailing of the international search report  
30 March, 2004 (30.03.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> H01L29/778, H01L29/812, H01L29/201,  
H01L21/338, H01L21/205

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.<sup>7</sup> H01L29/778-29/812, H01L29/201-29/205,  
H01L21/338, H01L21/20-21/205

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)  
Web of Science

## C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 9-64062 A (日本電気株式会社)	1-4, 6, 7
Y	1997. 03. 07, 全文, 第1-3図 (ファミリーなし)	5, 8
Y	JP 6-163599 A (日本電気株式会社)	5, 8
	1994. 06. 10, 全文, 第1-3図 (ファミリーなし)	

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリ

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

15. 03. 2004

国際調査報告の発送日

30. 3. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

刈 真悟

4 L

2933

電話番号 03-3581-1101 内線 3496